

Docket No.:

K-00905



2663

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Young-Joon Song

Serial No.: 09/525,447

Filed: March 14, 2000

Customer No.: 34610

For: PILOT SIGNALS FOR SYNCHRONIZATION AND/OR CHANNEL
ESTIMATION

RECEIVED

JUN 23 2004

Technology Center 2600

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
220 20th Street S.
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 10-1999-0034212, filed August 18, 1999.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No 36,186

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 766-3701 DYK/tlg

Date: June 17, 2004

Please direct all correspondence to Customer Number 34610

CERTIFIED COPY OF
PRIORITY DOCUMENT

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-1999-0034212
Application Number

출원년월일 : 1999년 08월 18일
Date of Application AUG 18, 1999

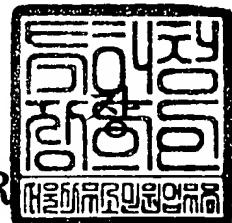
출원인 : 엘지정보통신주식회사
Applicant(s) LG INFORMATION & COMMUNICATIONS LTD.



2004년 06월 10일

특허청

COMMISSIONER



【서지사항】

【서류명】 명세서 등 보정서

【수신처】 특허청장

【제출일자】 2001.09.19

【제출인】

【명칭】 엘지정보통신 주식회사

【출원인코드】 1-1998-000286-1

【사건과의 관계】 출원인

【대리인】

【성명】 강용복

【대리인코드】 9-1998-000048-4

【포괄위임등록번호】 1999-057037-3

【대리인】

【성명】 김용인

【대리인코드】 9-1998-000022-1

【포괄위임등록번호】 1999-057038-1

【사건의 표시】

【출원번호】 10-1999-0034212

【출원일자】 1999.08.18

【심사청구일자】 1999.08.18

【발명의 명칭】 최적의 파일럿 패턴을 이용한 프레임 동기 장치 및 방법

【제출원인】

【접수번호】 1-1-99-0097644-88

【접수일자】 1999.08.18

【보정할 서류】 명세서등

【보정할 사항】

【보정대상항목】 별지와 같음

【보정방법】 별지와 같음

【보정내용】 별지와 같음

【추가청구항수】 9

1019990034212

출력 일자: 2004/6/10

【취지】

특허법 시행규칙 제13조·실용신안법 시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인
강용복 (인) 대리인
김용인 (인)

【수수료】

【보정료】 0 원

【추가심사청구료】 288,000 원

【기타 수수료】 0 원

【합계】 288,000 원

【첨부서류】 1. 보정내용을 증명하는 서류_1통

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

【표 1】

프레임 동기 워드
C1=(1 0 0 0 1 1 1 0 1 0 1 1 0 0)
C2=(1 0 1 0 0 1 1 0 1 1 1 0 0 0 0)
C3=(1 1 0 0 0 1 0 0 1 1 0 1 0 1 1)
C4=(0 0 1 0 1 0 0 0 0 1 1 1 0 1 1)
C5=(1 1 1 0 1 0 1 1 0 0 1 0 0 0 1)
C6=(1 1 0 1 1 1 0 0 0 0 1 0 1 0 0)
C7=(1 0 0 1 1 0 1 0 1 1 1 1 0 0 0)
C8=(0 0 0 0 1 1 1 0 1 1 0 0 1 0 1)

【보정대상항목】 식별번호 80

【보정방법】 정정

【보정내용】

상기한 식 7에서 C1은 나머지 코드 시퀀스들을 인버젼(Inversion), 순환 쉬프트(Cyclic shift) 또는 리버싱(reversing)에 의해 생성된다. 또한, t는 쉬프트를, j는 비트 순서(슬롯 번호와 같음)를, \neg 는 상관지연을 의미한다.

【보정대상항목】 식별번호 153

【보정방법】 정정

【보정내용】

또한 시간 지연이 비슷한 코드 시퀀스끼리 조합하면 메모리 크기를 줄일 수 있고, 시간 지연차가 큰 코드 시퀀스끼리 조합하면 시간 다이버시티 효과를 얻을 수 있다.

【보정대상항목】 청구항 1

【보정방법】 정정

【보정내용】

무선 통신 시스템에서 상향 링크 또는 하향 링크 채널에 대한 프레임 동기를 검출함에 있어서,

무선 프레임의 각 슬롯별로 복조되어 입력되는 한 무선 프레임의 슬롯 수와 같은 길이의 종렬 시퀀스들을 프레임 단위로 저장하는 단계와, 여기서 상기 종렬 시퀀스들은 제1 이진 시퀀스와 상기 제1 이진 시퀀스를 쉬프트하거나, 순서를 반전하거나 또는 보수를 취하여 만들어지는 하나 이상의 다른 이진 시퀀스들을 포함하여 이루어진다.

상기 종렬 시퀀스들간의 상호 관계로부터 도출되는 패턴 특성을 이용하여 상기 저장된 여러 종렬 시퀀스들을 각각 연관되는 패턴 특성에 따라 변환하는 단계와, 상기 변환된 각 슬롯별 종렬 시퀀스를 합산하는 단계와,
상기 합산 결과를 수신측이 알고 있는 상기 이진 시퀀스 중 어느 하나와 상관 처리하는 단계로 이루어지는 것을 특징으로 하는 최적의 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 2

【보정방법】 삭제



1019990034212

출력 일자: 2004/6/10

【보정대상항목】 청구항 3**【보정방법】 정정****【보정내용】**

무선 프레임의 각 슬롯별로, 입력되는 한 무선 프레임의 슬롯 수와 같은 길이의 복조된 종렬 시퀀스들을 정해진 패턴 특성에 따라 변환하는 메모리 맵핑/어드레싱 블록과, 여기서 상기 종렬 시퀀스들은 제1 이진 시퀀스와 상기 제1 이진 시퀀스를 쉬프트하거나, 순서를 반전하거나 또는 보수를 취하여 만들어지는 하나 이상의 다른 이진 시퀀스들을 포함하여 이루어진다.

상기 메모리 맵핑/어드레싱 블록에서 변환된 출력을 합산하는 합산기와, 상기 합산부의 합산값을 미리 지정된 코드 시퀀스와 상관 처리하는 상관기를 포함하여 구성되는 것을 특징으로 하는 최적의 파일럿 패턴을 이용한 프레임 동기 장치.

【보정대상항목】 청구항 4**【보정방법】 추가****【보정내용】**

제 1 항에 있어서, 상기 제1 이진 시퀀스는 무선 프레임당 슬롯 수와 같은 길이이고, 자연 시점이 '0'인 시점에서 자신의 비트길이와 같은 자기상관값을 나타내며, '0'의 자연 시점을 제외한 지점에서 크기 1의 자기상관값을 나타내는 시퀀스인 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 5

【보정방법】 추가

【보정내용】

제 4 항에 있어서, 상기 제1 이진 시퀀스를 임의의 비트 길이만큼 쉬프트시키고, 보수를 취한 시퀀스인 제2 이진 시퀀스를 생성하는 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 6

【보정방법】 추가

【보정내용】

제 5 항에 있어서, 상기 시퀀스의 길이는 15 비트이며, 상기 제2 이진 시퀀스는 상기 제1 이진 시퀀스를 7비트 쉬프트시키고, 보수를 취하여 생성하는 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 7

【보정방법】 추가

【보정내용】

제 6 항에 있어서, 상기 제1 및 제2 이진 시퀀스는 (1 0 0 0 1 1 1 1 0 1 0 1 1 0 0)와 (1 0 1 0 0 1 1 0 1 1 1 0 0 0 0)인 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

1019990034212

출력 일자: 2004/6/10

【보정대상항목】 청구항 8

【보정방법】 추가

【보정내용】

제 6 항에 있어서, 상기 제1 및 제2 이진 시퀀스는 (1 1 0 0 0 1 0 0 1 1 0 1 0 1 1)와, (0 0 1 0 1 0 0 0 0 1 1 1 0 1 1)인 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 9

【보정방법】 추가

【보정내용】

제 4 항에 있어서, 상기 제1 이진 시퀀스를 순서를 반전하여 배열한 시퀀스인 제2 이진 시퀀스를 생성하는 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 10

【보정방법】 추가

【보정내용】

제 9 항에 있어서, 상기 제1 및 제2 이진 시퀀스는 (1 0 0 0 1 1 1 1 0 1 0 1 1 0 0)와 (1 0 0 1 1 0 1 0 1 1 1 1 0 0 0)인 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

1019990034212

출력 일자: 2004/6/10

【보정대상항목】 청구항 11

【보정방법】 추가

【보정내용】

제 4 항에 있어서, 상기 제1 이진 시퀀스를 임의의 비트 길이만큼 쉬프트시킨 시퀀스인 제2 이진 시퀀스를 생성하는 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【보정대상항목】 청구항 12

【보정방법】 추가

【보정내용】

제 11 항에 있어서, 상기 제1 및 제2 이진 시퀀스는 (1 0 0 0 1 1 1 1 0 1 0 1 1 0 0)와 (1 1 1 0 1 0 1 1 0 0 1 0 0 0 1)인 것을 특징으로 하는 파일럿 패턴을 이용한 프레임 동기 방법.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	1999.08.18
【국제특허분류】	H04B
【발명의 명칭】	최적의 파일럿 패턴을 이용한 프레임 동기 장치 및 방법
【발명의 영문명칭】	Frame synchronization apparatus and method using optimal pilot pattern
【출원인】	
【명칭】	엘지정보통신주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-008042-0
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-008044-4
【발명자】	
【성명의 국문표기】	송영준
【성명의 영문표기】	SONG, Young Joon
【주민등록번호】	651214-1108619
【우편번호】	431-082
【주소】	경기도 안양시 동안구 호계2동 570번지 럭키아파트 101-903
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)

101590034212

출력 일자: 2004/6/10

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	11	면	11,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】			245,000	원
【첨부서류】			1.	요약서·명세서(도면)_1통

【요약서】

【요약】

차세대 이동 통신 시스템에 있어서, 특히 광대역 코드 분할 다중 접속 방식(이하, W-CDMA 라 약칭함)의 차세대 이동 통신 시스템에서 사용하는 파일럿 패턴의 특성을 이용하여 보다 효과적으로 프레임 동기를 이루는 장치 및 방법에 관한 것이다.

이에 따라 본 발명에서는 3GPP 무선 접속 네트워크(RAN) 규격에 따른 상향 링크 및 하향 링크 파일럿 패턴들의 특성을 이용하여 보다 정확하고 효율적으로 프레임 동기 방법을 제공하며, 또한 프레임 동기를 이를 수 있는 상관 처리 장치를 제공한다.

【대표도】

도 4

【색인어】

전용 물리 채널(DPCH), 전용 물리 데이터 채널(DPDCH), 전용 물리 제어 채널(DPCCH), 3세대 공동 프로젝트(Third Generation Partnership Project)

【명세서】**【발명의 명칭】**

최적의 파일럿 패턴을 이용한 프레임 동기 장치 및 방법{Frame synchronization apparatus and method using optimal pilot pattern}

【도면의 간단한 설명】

도 1 은 3GPP 무선 접속 네트워크(RAN) 규격에 따른 파일럿 패턴을 이용한 상관 결과를 나타낸 도면.

도 2 는 3GPP 무선 접속 네트워크(RAN) 규격에 따른 파일럿 패턴을 이용한 또다른 상관 결과를 나타낸 도면.

도 3 은 본 발명에 따른 상향 링크 채널에 대한 상관 처리 장치의 구성을 나타낸 도면.

도 4 는 본 발명에 따른 하향 링크 채널에 대한 상관 처리 장치의 구성을 나타낸 도면.

도 5 는 본 발명에 따른 하향 링크 채널에 대한 상관 처리 장치의 상관 결과를 나타낸 도면.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 차세대 이동 통신 시스템에 관한 것으로, 특히 W-CDMA 차세대 이동 통신 시스템에서 사용하는 파일럿 패턴의 특성을 이용하여 보다 효과적으로 프레임 동기를 이루는 장치 및 방법에 관한 것이다.

- <7> 최근 일본의 ARIB, 유럽의 ETSI, 미국의 T1, 한국의 TTA 및 일본의 TTC는 음성, 영상 및 데이터와 같은 멀티미디어를 서비스하는 기존 이동 통신 세계화 시스템(GSM : Global System for Mobile Communications)의 코어 네트워크와 무선 접속 기술을 기본으로 한 보다 진화된 차세대 이동 통신 시스템을 구상하였다.
- <8> 진화된 차세대 이동 통신 시스템에 대한 기술적인 명세를 제시하기 위하여 이들은 공동 연구에 동의하였으며, 이를 위한 프로젝트를 3세대 공동 프로젝트(Third Generation Partnership Project ; 이하, 3GPP 라 약칭함)라 하였다.
- <9> 3GPP는 크게 다음의 세 가지 기술 연구 영역을 포함한다.
- <10> 첫 째, 3GPP 시스템 및 서비스 부문이다, 이는 3GPP 명세를 근거로 한 시스템의 구조 및 서비스 능력에 대한 연구를 하는 부문이다.
- <11> 둘 째, 범지구 무선 접속 네트워크(UTRAN : Universal Terrestrial Radio Access Network)에 대한 연구 부문이다, 여기서 범지구 무선 접속 네트워크(UTRAN)는 주파수 분할 듀플렉스(FDD : Frequency Division Duplex) 모드에 따르는 W-CDMA와 시간 분할 듀플렉스(TDD : Time Division Duplex) 모드에 따르는 TD-CDMA를 적용한 무선 접속 네트워크(RAN : Radio Access Network)이다.
- <12> 세 째, 2세대의 이동 통신 세계화 시스템(GSM)에서 진화되어 이동성 관리 및 전세계적 로밍(Global roaming)과 같은 3세대 네트워킹 능력을 갖는 코어 네트워크(Core network)에 대한 연구 부문이다.

- <13> 상기한 3GPP의 기술 연구 부문들 중에서 범지구 무선 접속 네트워크(UTRAN)에 대한 연구 부문에서는 전송 채널(Transport channel)과 물리 채널(Physical channel)에 대한 정의 및 이에 대한 설명을 기술하고 있다.
- <14> 물리 채널에는 상향 링크 및 하향 링크에 전용 물리 채널(DPCH : Dedicated Physical Channel)을 사용하며, 이 전용 물리 채널(DPCH)은 일반적으로 슈퍼 프레임(Superframes), 무선 프레임(Radio frames) 및 타임 슬롯(Timeslots)의 3개의 계층 구조로 이루어진다.
- <15> 현재 3GPP 무선 접속 네트워크(RAN) 규격에서는 슈퍼 프레임(Superframe)을 720ms 주기로 갖는 최대 프레임 단위로 규정하고 있으며, 시스템 프레임수에서 볼 때 하나의 슈퍼 프레임은 72개의 무선 프레임으로 구성된다.
- <16> 또한 현재 3GPP 무선 접속 네트워크(RAN) 규격에서는 무선 프레임이 15개의 타임 슬롯으로 구성되며, 각 타임 슬롯은 전용 물리 채널(DPCH)에 따른 해당 정보 비트들을 갖는 필드들로 구성된다.
- <17> 이와 같은 3GPP 무선 접속 네트워크(RAN) 규격에는 상향 링크 및 하향 링크 전용 물리 채널(DPCH)에 대한 프레임 동기 절차가 제시되어 있는 상태이지만, 지금도 상향 링크 또는 하향 링크의 물리 채널에 대한 프레임 동기를 이루는 방안은 계속 연구되고 있다.
- <18> 또한, 3GPP 무선 접속 네트워크(RAN) 규격에서 제시한 프레임 동기 방안을 실제적으로 실현시키기 위해서는 보다 효율적인 장치 구성이 요구되는데, 현재로써는 규격에 제시된 상향 링크 파일럿 비트 패턴과 하향 링크 파일럿 심볼 패턴의 특성을 이용하여 프레임 동기를 실현하는 장치 구성은 아직까지 없었다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명의 목적은 상기한 점을 감안하여 안출한 것으로, 3GPP 무선 접속 네트워크(RAN) 규격에 따른 상향 링크 및 하향 링크 파일럿 패턴들의 특성을 이용하여 보다 정확하고 효율적으로 프레임 동기 방법을 제공하며, 또한 프레임 동기를 이를 수 있는 상관 처리 장치를 제공한다.
- <20> 상기한 목적을 달성하기 위한 본 발명에 따른 최적의 파일럿 패턴을 이용한 프레임 동기 방법의 특징은, 상향 링크 및 하향 링크 채널에 대한 프레임 동기를 검출함에 있어서, 각 슬롯별로 복조되어 입력되는 종렬 시퀀스들을 프레임 단위로 저장하는 단계와, 상기 종렬 시퀀스들간의 상호 관계로부터 도출되는 패턴 특성을 이용하여 상기 저장된 여러 종렬 시퀀스들을 각각 연관되는 패턴 특성에 따라 변환하는 단계와, 상기 변환된 각 슬롯별 종렬 시퀀스를 합산하는 단계와, 상기 합산 결과를 미리 지정되어 있던 하나의 코드열과 상관 처리하는 단계로 이루어진다.
- <21> 바람직하게는 상기 변환 단계가, 하나의 종렬 시퀀스가 쉬프트, 리버싱(reversing) 및 인버젼(inversion)되어 나머지 종렬 시퀀스들이 생성되는 패턴 특성에 따라 각각 해당 변환 규칙으로 변환된다.
- <22> 또한, 상기한 목적을 달성하기 위한 본 발명에 따른 최적을 파일럿 패턴을 이용한 프레임 동기 장치의 특징은, 각 슬롯별로 입력되는 복조된 종렬 시퀀스들을 정해진 패턴 특성에 따라 변환하는 메모리 맵핑/어드레싱 블록과, 상기 메모리 맵핑/어드레싱 블록에서 변환된 출력을 합산하는 합산기와, 상기 합산부의 합산값을 미리 지정된 코드 시퀀스와 상관 처리하는 상관기를 포함하여 구성된다.

【발명의 구성 및 작용】

- <23> 이하, 본 발명에 따른 최적의 파일럿 패턴을 이용한 프레임 동기 장치 및 방법에 대한 바람직한 일 실시 예를 첨부된 도면을 참조하여 설명한다.
- <24> 본 발명에서는 상향 링크 및 하향 링크 전용 물리 채널(DPCH)에 대한 프레임 동기를 이루기 위해, 현재 3GPP 무선 접속 네트워크(RAN) 규격에 따른 다음 표 1의 프레임 동기 워드를 사용한다.

<25> 【표 1】

프레임 동기 워드
C1=(1 0 0 0 1 1 1 0 1 0 1 1 0 0)
C2=(1 0 1 0 0 1 1 0 1 1 1 0 0 0 0)
C3=(1 1 0 0 0 1 0 0 1 1 0 1 0 1 1)
C4=(0 0 1 0 1 0 0 0 0 1 1 1 0 1 1)
C5=(1 1 1 0 1 0 1 1 0 0 1 0 0 0 1)
C6=(1 1 0 1 1 1 0 0 0 0 1 0 1 1 1)
C7=(1 0 0 1 1 0 1 0 1 1 1 1 0 0 0)
C8=(0 0 0 0 1 1 1 0 1 1 0 0 1 0 1)

<26> 상기한 표 1의 프레임 동기 워드는 상향 링크 물리 채널에서 프레임당 15 슬롯을 사용할 경우에, 프레임 동기 검출에 사용된다.

<27> 그런데 표 1의 프레임 동기 워드가 프레임 동기 검출에 사용되기 위해서는 다음과 같은 배치 특성에 따라 설계된다.

<28> 각 코드 시퀀스(C1,C2,C3,C4,C5,C6,C7,C8)에서 비트값 '0'과 '1'의 개수는 비트값 '0'이 하나 더 많도록 하거나 비트값 '1'이 하나 더 많도록 설계된다. 이는 다음에 설명할 상향 링크 및 하향 링크 물리 채널에서의 각 파일럿 패턴에서와 같이 음영 부분의 코드 시퀀스들 사이에 모두 '1'의 비트값을 갖는 비음영 부분의 시퀀스가 삽입될 때, 모든 지연 시점에서 이들 간의 상호 상관값이 최소가 되도록 하기 위한 것이다. 이 때 모든 지연 시점에서 상호 상관값이 상

기한 코드 시퀀스(C1,C2,C3,C4,C5,C6,C7,C8)를 사이에 모두 '0'의 비트값을 갖는 시퀀스가 삽입될 때도 최소가 되도록 코드 시퀀스가 설계된다.

<29> 또한, 각 코드 시퀀스(C1,C2,C3,C4,C5,C6,C7,C8)는 지연이 0인 시점에서 인접하는 코드 시퀀스들간에(예로써, C1과C2, C2와C3, ...) 상호 상관값이 최소가 되도록 설계된다.

<30> 여기서, 코드 시퀀스 C5,C6,C7 및 C8은 코드 시퀀스 C1,C2,C3 및 C4를 쉬프트시킨 것으로, 코드 시퀀스 C5,C6,C7 및 C8은 지연이 0인 시점에서 인접하는 코드 시퀀스간 상호 상관값이 최소가 되도록 코드 시퀀스 C1,C2,C3 및 C4를 적절히 쉬프트 시킨 것이다.

<31> 그밖에도, 각 코드 시퀀스 C1,C2,C3,C4,C5,C6,C7,C8이 지연이 0인 시점을 제외한 나머지 지연 시점에서 최소의 자기 상관값을 갖도록 설계된다.

<32> 또한, 코드 시퀀스 C1과 C2의 상호 상관값이 중간 지연 시점에서 음(-)의 극성을 갖는 최대값이 되도록 하며, 상기한 중간 지연 시점을 제외한 나머지 지연 시점에서는 C2와 C1의 상호 상관값이 최소값이 되도록 설계되며, 코드 시퀀스 C3과 C4의 상호 상관값이 중간 지연 시점에서 음(-)의 극성을 갖는 최대값이 되도록 하며, 상기한 중간 지연 시점을 제외한 나머지 지연 시점에서는 C4와 C3의 상호 상관값이 최소값이 되도록 설계된다.

<33> 이어, 코드 시퀀스 C5와 C6의 상호 상관값이 중간 지연 시점에서 음(-)의 극성을 갖는 최대값이 되도록 하며, 상기한 중간 지연 시점을 제외한 나머지 지연 시점에서는 C6과 C5의 상호 상관값이 최소값이 되도록 설계되며, 코드 시퀀스 C7과 C8의 상호 상관값이 중간 지연 시점에서 음(-)의 극성을 갖는 최대값이 되도록 하며, 상기한 중간 지연 시점을 제외한 나머지 지연 시점에서는 C8과 C7의 상호 상관값이 최소값이 되도록 설계된다.

<34> 특히, 코드 시퀀스 C2는 코드 시퀀스 C1을 쉬프트 시키고 동시에 반전(Inversion) 시킨 시퀀스이고, 코드 시퀀스 C4는 코드 시퀀스 C3을 쉬프트 시키고 동시에 반전(Inversion) 시킨 시퀀스이고, 코드 시퀀스 C6은 코드 시퀀스 C5를 쉬프트 시키고 동시에 반전(Inversion) 시킨 시퀀스이고, 마지막 코드 시퀀스 C8도 코드 시퀀스 C7을 쉬프트 시키고 동시에 반전 (Inversion) 시킨 시퀀스이다.

<35> 표 1의 프레임 동기 워드들이 상기 나열된 배치 특성으로 설계되기 때문에 상향 링크 및 하향 링크 전용 물리 채널(DPCH)에 대한 프레임 동기 검출에 사용될 수 있으며, 특히 프레임 동기 검출에 이중 체크가 가능하다.

<36> 상기 나열한 배치 특성에 의해 알 수 있듯이, 사용되는 프레임 동기 워드의 각 코드 시퀀스들은 구체적으로 다음 식 1과 같은 자기 상관 특성을 나타낸다.

$$<37> \text{【수학식 1】 } R_{C_i}(\tau) = \begin{cases} 15, & \tau = 0 \\ -1, & \tau \neq 0 \end{cases} \quad \text{단, } i = 1, 2, 3, \dots, 8$$

<38> 여기서, $R_{C_i}(\tau)$ 는 각 코드 시퀀스(C1~C8)의 자기 상관 함수들이다.

<39> 다음 식 2는 앞서 나타낸 표 3의 프레임 동기 워드를 클래스별로 분류한 것이다.

$$<40> E = [C_1, C_2]$$

$$F = [C_3, C_4]$$

$$G = [C_5, C_6]$$

$$\text{【수학식 2】 } H = [C_7, C_8]$$

<41> 상기한 식 2에서 동일한 클래스의 코드 시퀀스쌍들 $[C_i, C_j]$, 즉 $[C_1, C_2]$, $[C_3, C_4]$, $[C_5, C_6]$ 및 $[C_7, C_8]$ 들은 다음 식 3 및 식 4와 같은 상호 상관 특성을 나타낸다.

$$<42> \text{【수학식 3】 } R_{C_i, C_j}(\tau) = \begin{cases} -15, & \tau = 7 \\ 1, & \tau \neq 7 \end{cases}$$

<43> 단, ($i=1 \& j=2$), 또는 ($i=3 \& j=4$), 또는 ($i=5 \& j=6$), 또는 ($i=7 \& j=8$)이다.

<44> 【수학식 4】 $R_{C,C}(\tau + 1) = \begin{pmatrix} -15, & \tau = 7 \\ 1, & \tau \neq 7 \end{pmatrix}$

<45> 단, ($j=2 \& i=1$), 또는 ($j=4 \& i=3$), 또는 ($j=6 \& i=5$), 또는 ($j=8 \& i=7$)이다. 식 3에서 $R_{C,C}(\tau)$ 는 상기 식 2에 나타낸 각 클래스에서 코드 시퀀스쌍들의 상호 상관 함수이며, 식 4에서 $R_{C,C}(\tau + 1)$ 는 코드 시퀀스 C_i 를 1비트 길이만큼 쉬프트된 코드 시퀀스 C_j 와 상호 상관을 수행한 함수이다.

<46> 여기서 상기한 식 1의 자기 상관 특성과 상기한 식 3, 식 4의 상호 상관 특성을 결합함으로써 다음의 식 5와 식 6과 같은 일반화된 식으로 정리할 수 있다.

<47> 【수학식 5】 $\sum_{i=1}^{\alpha} R_{C,C}(\tau) = \begin{pmatrix} \alpha \cdot 15, & \tau = 0 \\ -\alpha, & \tau \neq 0 \end{pmatrix}, \quad \text{단, } a=1,2,3,\dots,8$

<48> 【수학식 6】 $\sum_{i=1}^{\alpha/2} [R_{C_{2i-1},C_{2i}}(\tau) + R_{C_{2i},C_{2i-1}}(\tau + 1)] = \begin{pmatrix} -\alpha \cdot 15, & \tau = 7 \\ \alpha, & \tau \neq 7 \end{pmatrix},$

<49> 여기서, $a=2,4,6,8$ 이다.

<50> 도 1은 3GPP 무선 접속 네트워크(RAN) 규격에 따른 파일럿 패턴을 이용한 상관 결과를 나타낸 도면이며, 도 2는 3GPP 무선 접속 네트워크(RAN) 규격에 따른 파일럿 패턴을 이용한 또 다른 상관 결과를 나타낸 도면이다.

<51> 이들 도 1 및 도 2의 상관 결과는 상기한 식 5 및 식 6으로부터 얻게 되는 것으로, 도 1은 식 5 및 식 6에서 $a=2$ 일 때이고, 도 2는 식 5 및 식 6에서 $a=4$ 일 때 프레임 동기 검출에 이용되는 상관 결과들이다.

<52> 보다 상세하게는 도 1a는 식 5에서 $a=2$ 일 때 자기 상관 함수의 합산 결과를 나타낸 것이고, 도 1b는 식 6에서 $a=2$ 일 때 상호 상관 함수의 합산 결과를 나타낸 것이다. 또한 도 2a

는 식 5에서 $a=4$ 일 때 자기 상관 함수의 합산 결과를 나타낸 것이고, 도 2b는 식 6에서 $a=4$ 일 때 상호 상관 함수의 합산 결과를 나타낸 것이다.

<53> 이러한 도 1 및 도 2의 각 상관 결과들을 관찰함으로써 프레임 동기를 검출할 때 단일 체크(single check)가 가능하며, 도 1 및 도 2에서 자기 상관 결과와 상호 상관 결과를 동시에 관찰함으로써 프레임 동기를 검출할 때 이중 체크(double check)가 가능하다.

<54> 다음의 표 2에는 표 1에 나타낸 프레임 동기 워드를 사용한 15슬롯 길이의 파일럿 비트 패턴을 나타낸 것으로, 한 슬롯을 구성하는 파일럿 비트수가 5비트 또는 6비트인 경우에 상향 링크 전용 물리 제어 채널(DPCCH)의 파일럿 패턴을 나타낸 것이다.

<55> 【표 2】

비트#	N _{Pilot} = 5					N _{Pilot} = 6					
	0	1	2	3	4	0	1	2	3	4	5
슬롯#1	1	1	1	1	0	1	1	1	1	1	0
슬롯#2	0	0	1	1	0	1	0	0	1	1	0
슬롯#3	0	1	1	0	1	1	0	1	1	0	1
슬롯#4	0	0	1	0	0	1	0	0	1	0	0
슬롯#5	1	0	1	0	1	1	1	0	1	0	1
슬롯#6	1	1	1	0	1	1	1	1	1	1	0
슬롯#7	1	1	1	0	0	1	1	1	1	0	0
슬롯#8	1	0	1	0	0	1	1	0	1	0	0
슬롯#9	0	1	1	1	0	1	0	1	1	1	0
슬롯#10	1	1	1	1	1	1	1	1	1	1	1
슬롯#11	0	1	1	0	1	1	0	1	1	0	1
슬롯#12	1	0	1	1	1	1	1	0	1	1	1
슬롯#13	1	0	1	0	0	1	1	0	1	0	0
슬롯#14	0	0	1	1	1	1	0	0	1	1	1
슬롯#15	0	0	1	1	1	0	0	0	1	1	1
	C1	C2		C3	C4		C1	C2		C3	C4

<56> 다음의 표 3에는 표 1에 나타낸 프레임 동기 워드를 사용한 15슬롯 길이의 또 다른 파일럿 비트 패턴을 나타낸 것으로, 한 슬롯을 구성하는 파일럿 비트수가 7비트 또는 8비트인 경우에 상향 링크 전용 물리 제어 채널(DPCCH)의 파일럿 패턴을 나타내었다.

<57> 【표 3】

비트#	N _{Pilot} = 7						N _{Pilot} = 8							
	0	1	2	3	4	5	6	0	1	2	3	4	5	6
슬롯#1	1	1	1	1	0	1	1	1	1	1	1	1	1	0
슬롯#2	1	0	0	1	1	0	1	1	0	1	1	1	1	0
슬롯#3	1	0	1	1	0	1	1	1	0	1	1	0	1	1
슬롯#4	1	0	0	1	0	0	1	1	0	1	0	1	0	0
슬롯#5	1	1	0	1	0	1	1	1	1	0	1	0	1	1
슬롯#6	1	1	1	1	1	0	1	1	1	1	1	1	1	0
슬롯#7	1	1	1	1	0	0	1	1	1	1	1	0	1	0
슬롯#8	1	1	0	1	0	0	1	1	1	1	0	1	0	0
슬롯#9	1	0	1	1	1	0	1	1	0	1	1	1	1	0
슬롯#10	1	1	1	1	1	1	1	1	1	1	1	1	1	1
슬롯#11	1	0	1	1	0	1	1	1	0	1	1	0	1	1
슬롯#12	1	1	0	1	1	1	1	1	1	0	1	1	1	1
슬롯#13	1	1	0	1	0	0	1	1	1	1	0	1	0	1
슬롯#14	1	0	0	1	1	1	1	1	0	1	1	1	1	1
슬롯#15	1	0	0	1	1	1	1	1	0	1	1	1	1	1
	C1	C2		C3	C4			C1		C2		C3		C4

<58> 상기한 표 2 및 표 3에서 15 슬롯 길이인 4가지의 종렬 시퀀스를 파일럿 비트가 5비트, 6비트, 7비트 또는 8비트 경우에 모두 C1, C2, C3, C4라 하고, 한 슬롯을 구성하는 각 파일럿 비트의 위치에 따라 정리한 것이 표 4에 나타나 있다.

<59> 【표 4】

N _{Pilot}	파일럿 비트 위치 번호(비트#)	종렬 시퀀스(15 슬롯 길이)
5	0	C1
	1	C2
	3	C3
	4	C4
6	1	C1
	2	C2
	4	C3
	5	C4
7	1	C1
	2	C2
	4	C3
	5	C4
8	1	C1
	3	C2
	5	C3
	7	C4

- <60> 이와 같이 파일럿 비트별로 할당 배치된 15 슬롯 길이인 4가지의 종렬 시퀀스, 즉 전체 길이가 60인 코드 시퀀스가 프레임 동기 검출에 사용된다.
- <61> 상기한 표 2 및 표 3에서 전체 파일럿 비트 중 음영 부분이 프레임 동기를 위한 상관 처리에 사용되는 것이며, 이를 제외한 다른 부분의 파일럿 비트는 "1"의 값을 갖는데 모두 "1"의 파일럿 비트값을 갖는 종렬 시퀀스는 코히어런트 검출(coherent detection)을 위한 채널 추정(channel estimation)에 사용된다.
- <62> 즉, 각 슬롯의 파일럿 비트가 5비트인 경우에는 비트#0(C1), 비트#1(C2), 비트#3(C3), 비트#4(C4)가, 각 슬롯의 파일럿 비트가 6비트 또는 7비트인 경우에는 비트#1(C1), 비트#2(C2), 비트#4(C3), 비트#5(C4)가, 또한 각 슬롯의 파일럿 비트가 8비트인 경우에는 비트#1(C1), 비트#3(C2), 비트#5(C3), 비트#7(C4)이 프레임 동기를 위한 상관 처리에 사용된다.) 따라서, 한 슬롯당 프레임 동기를 위해 사용되는 파일럿 비트는 각 슬롯의 파일럿 비트로 모두 4 비트가 사용되며, 결국 무선 프레임의 동기를 위해 사용되는 총 파일럿 비트수는 "60"이다.
- <63> 다음은 15 슬롯 길이의 또다른 파일럿 패턴을 나타낸 것으로, 표 5에는 표 1에 나타낸 프레임 동기 워드를 사용한 하향 링크 전용 물리 채널(DPCH)의 파일럿 심볼 패턴을 나타내었다 . 이는 하향 링크 전용 물리 채널(DPCH)의 각각 다른 심볼 레이트에 따라 나눈 것이다.
- <64>

【표 5】

심볼 레이트	8Ksps (N _{Pilot} =4)				16,32,64,128 Ksps(N _{Pilot} =8)								256,512,1024Ksps(N _{Pilot} =16)									
	0	1	0	1	2	3	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
슬롯#1	11	11	11	11	11	10	11	11	11	10	11	11	11	11	11	11	11	11	11	11	11	10
슬롯#2	11	00	11	00	11	10	11	00	11	00	11	10	11	11	11	11	11	11	11	11	11	00
슬롯#3	11	01	11	01	11	01	11	01	11	01	11	10	11	11	11	11	10	11	11	11	11	00
슬롯#4	11	00	11	00	11	00	11	00	11	00	11	00	11	01	11	11	11	11	11	11	11	00
슬롯#5	11	10	11	10	11	01	11	10	11	01	11	11	11	11	11	11	11	11	11	11	11	01
슬롯#6	11	11	11	11	11	10	11	11	11	10	11	11	11	11	11	11	11	11	11	11	11	01
슬롯#7	11	11	11	11	11	00	11	11	11	00	11	11	10	11	11	11	11	11	11	11	11	11
슬롯#8	11	10	11	10	11	00	11	10	11	00	11	11	11	11	11	11	11	11	11	11	11	00
슬롯#9	11	01	11	01	11	01	11	01	11	01	11	10	11	11	11	11	11	11	11	11	11	01
슬롯#10	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11
슬롯#11	11	01	11	01	11	01	11	01	11	01	11	11	11	11	11	11	11	11	11	11	11	11
슬롯#12	11	10	11	10	11	11	11	11	11	10	11	11	11	11	11	11	11	11	11	11	11	10
슬롯#13	11	10	11	10	11	00	11	10	11	00	11	11	00	11	11	11	11	11	11	11	11	01
슬롯#14	11	00	11	00	11	11	11	11	11	00	11	11	11	11	11	11	11	11	11	11	11	00
슬롯#15	11	00	11	00	11	11	11	11	11	00	11	11	11	11	11	11	11	11	11	11	11	01

<65> 표 5에서 하향 링크의 프레임 동기 검출에 사용되는 파일럿 심볼은 각 심볼 레이트의 전체 파일럿 심볼 중 음영 부분이며, 이를 제외한 다른 부분의 파일럿 심볼은 "1"의 값을 갖는다.

<66> 즉, 심볼 레이트가 16,32,64,128Ksps(N_{Pilot}=8)인 경우의 예를 들면, 심볼#1과 심볼#3이 프레임 동기 검출에 사용된다. 따라서 한 슬롯당 프레임 동기를 위해 사용되는 파일럿 심볼은 4개이므로 결국 프레임 동기를 위해 총 60개(4×15)의 파일럿 심볼이 사용된다.

<67> 다음의 표 6은 하향 링크 전용 물리 채널(DPCH)의 파일럿 심볼 패턴을 각각 다른 심볼 레이트에 따라 구분한 것으로, 심볼 레이트가 8ksps(N_{Pilot}=4)일 때 첫 번째 파일럿 심볼(심볼 #1)에서 I채널 지류와 맵핑되는 종렬 시퀀스가 C1, Q채널 지류와 맵핑되는 종렬 시퀀스가 C2이고, 심볼 레이트가 16,32,64,128ksps(N_{Pilot}=8)일 때 첫 번째 파일럿 심볼(심볼#1)에서 I채널 지류와 맵핑되는 종렬 시퀀스가 C1, Q채널 지류와 맵핑되는 종렬 시퀀스가 C2, 세 번째 파일럿

심볼(심볼#3)에서 I채널 지류와 맵핑되는 종렬 시퀀스가 C3, Q채널 지류와 맵핑되는 종렬 시퀀스가 C4이다.

<68> 마지막으로 심볼 레이트가 256, 512, 1024ksps($N_{Pilot}=16$)일 때는 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 파일럿 심볼(심볼#1, 심볼#3, 심볼#5, 심볼#7)의 각 I채널 지류 또는 각 Q채널 지류와 맵핑되는 종렬 시퀀스가 순서대로 C1, C2, C3, C4, C5, C6, C7, C8이다.

<69> 【표 6】

심볼 레이트	파일럿 심볼 위치 번호 (심볼#)	채널 지류	종렬 시퀀스(15 슬롯 길이) (Column Sequence)
8ksps($N_{Pilot}=4$)	1	I	C1
		Q	C2
16, 32, 64, 128ksps ($N_{Pilot}=8$)	1	I	C1
		Q	C2
	3	I	C3
		Q	C4
256, 512, 1024ksps ($N_{Pilot}=16$)	1	I	C1
		Q	C2
	3	I	C3
		Q	C4
	5	I	C5
		Q	C6
	7	I	C7
		Q	C8

<70> 지금까지 표 1의 프레임 동기 워드가 상향 링크 및 하향 링크에서 어떠한 파일럿 패턴으로 구성되는가를 살펴보았다.

<71> 다음은 표 1에 나타낸 8개의 프레임 동기 워드가 한 개의 피엔 부호(PN code)로부터 발생됨을 밝힌다.

<72> 식 7은 표 1의 프레임 동기 워드들의 관계를 나타낸 것으로, 피엔 부호 C1과 나머지 코드 시퀀스들간의 관계를 보인 것이다.

<73> 【수학식 7】 $C_1(t+j+\tau) = -C_2(t+j+\tau+7)$

$$<74> = C_3(t-j-\tau + 5)$$

$$<75> = -C_4(t-j-\tau + 12)$$

$$<76> = C_5(t+j+\tau + 10)$$

$$<77> = -C_6(t+j+\tau + 2)$$

$$<78> = C_7(t-j-\tau)$$

$$<79> = -C_8(t-j-\tau + 7)$$

<80> 상기한 식 7에서 C_1 은 나머지 코드 시퀀스들을 인버젼(Inversion), 순환 쇠프트(Cyclic shift) 또는 리버싱(reversing)에 의해 생성된다.

<81> 따라서, 상기한 식 7에 의하여 식 5의 $a=8$ 일 때 자기 상관 합수의 합산 결과는 다음 식 9와 같이 나타낼 수 있다. 그에 앞서 우선 상기한 식 7에 의해 다음 식 8과 같이 8개의 코드 시퀀스 합 $S(t+j+\tau)$ 을 우선 도출해 낸다.

$$<82> 【수학식 8】 \quad S(t+j+\tau) = C_1(t+j+\tau) - C_2(t+j+\tau + 7) + C_3(t-j-\tau + 5)$$

$$<83> \quad -C_4(t-j-\tau + 12) + C_5(t+j+\tau + 10) - C_6(t+j+\tau + 2)$$

$$<84> \quad +C_7(t-j-\tau) - C_8(t-j-\tau + 7) = 8C_1(t+j+\tau)$$

<85> 상기한 식 8을 이용하면 식 5는 $a=8$ 일 때 다음 식 9와 같이 나타낼 수 있다.

$$<86> \quad \text{【수학식 9】} \quad \sum_{i=1}^8 R_{C_i}(\tau) = \sum_{i=1}^8 \sum_{j=0}^{14} C_i(t+j) C_i(t+j+\tau)$$

$$<87> \quad = \sum_{j=0}^{14} C_1(t+j) \cdot [C_1(t+j+\tau) - C_2(t+j+\tau + 7)$$

$$<88> \quad +C_3(t-j-\tau + 5) - C_4(t-j-\tau + 12)]$$

$$<89> + C5(t+j+\tau+10) - C6(t+j+\tau+2)$$

$$<90> + C7(t-j-\tau) - C8(t-j-\tau+7)]$$

$$<91> = \sum_{j=0}^{14} C_1(t+j) \cdot S(t+j+\tau)$$

<92> 따라서, 코드 시퀀스 C1,C2,C3,C4,C5,C6,C7,C8을 다음 식 10과 같이 정의하면, 식 7로부터 다음 식 11과 같은 인덱스화된 관계식이 도출된다.

$$<93> 【수학식 10】 C_1 = (C_{1,0}, C_{1,1}, \dots, C_{1,14})$$

$$<94> C_2 = (C_{2,0}, C_{2,1}, \dots, C_{2,14})$$

$$<95> C_3 = (C_{3,0}, C_{3,1}, \dots, C_{3,14})$$

$$<96> C_4 = (C_{4,0}, C_{4,1}, \dots, C_{4,14})$$

$$<97> C_5 = (C_{5,0}, C_{5,1}, \dots, C_{5,14})$$

$$<98> C_6 = (C_{6,0}, C_{6,1}, \dots, C_{6,14})$$

$$<99> C_7 = (C_{7,0}, C_{7,1}, \dots, C_{7,14})$$

$$<100> C_8 = (C_{8,0}, C_{8,1}, \dots, C_{8,14})$$

$$<101> 【수학식 11】 C_{1,(j+\tau)(\bmod 15)} = -C_{2,(j+\tau+7)(\bmod 15)}$$

$$<102> = C_{3,(-j-\tau+5)(\bmod 15)}$$

$$<103> = -C_{4,(-j-\tau+12)(\bmod 15)}$$

$$<104> = C_{5,(j+\tau+10)(\bmod 15)}$$

$$<105> \quad = -C_{6,(j+\tau+2)(\bmod 15)}$$

$$<106> \quad = C_{7,(-j-\tau)(\bmod 15)}$$

$$<107> \quad = -C_{8,(-j-\tau+7)(\bmod 15)}$$

<108> 지금까지 나열된 식들을 이용하여 프레임 동기를 위한 상관 처리 장치가 구현된다.

<109> 본 발명에 따른 상관 처리 장치에서 8개의 프레임 동기 워드는 메모리에 저장되며, 이 때 각 코드 시퀀스들의 인덱스 (i,j) 가 메모리 번지를 나타낸다고 하면, 이 메모리에 저장된 프레임 동기 워드들 간의 상호 관계는 상기한 식 11에 의해 알 수 있다.

<110> 먼저 상향 링크 채널에 대한 상관 처리 장치의 구성 및 동작을 설명한다.

<111> 도 3은 본 발명에 따른 상향 링크 채널에 대한 상관 처리 장치의 구성을 나타낸 도면으로, 프레임 동기 검출시 슬롯당 단일 체크가 가능한 장치 구성이다.

<112> 도 3에 도시된 상관 처리 장치는 파일럿 비트수(N_{Pilot})가 6비트인 경우를 나타낸 것으로, 프레임 동기 검출을 위해 입력되는 코드 시퀀스가 4개이다. 다시 말하자면 $a=4$ 인 경우이므로 표 1의 코드 시퀀스 중 C1~C4를 사용한다.

<113> 따라서 앞에서 기술한 식 9는 다음 식 12와 같이 변형된다.

$$<114> \quad \text{【수학식 12】} \quad \sum_{i=1}^4 R_{C_i}(\tau) = \sum_{i=1}^4 \sum_{j=0}^{14} C_{i,(t+j)} C_{i,(t+j+\tau)}$$

$$<115> \quad = \sum_{j=0}^{14} C_1(t+j) \cdot [C1(t+j+\tau) - C2(t+j+\tau+7)]$$

$$<116> \quad + C3(t-j-\tau+5) - C4(t-j-\tau+12)]$$

<117> 본 발명에서는 식 12와 같이 표현될 수 있는 프레임 동기 워드의 특성을 이용하므로, 도 3에 도시된 바와 같이 한 개의 상관기로도 프레임 동기 검출을 위한 장치가 구현된다.

<118> 구현 장치로는 상향 링크 전용 물리 제어 채널(DPCCH)의 한 프레임 단위의 신호가 수신되며, 표 2의 파일럿 패턴에서 비트#1, 비트#2, 비트#4 및 비트#5의 복조된 종렬 시퀀스들이 각 슬롯별로 입력된다.

<119> 입력되는 4개의 종렬 시퀀스는 메모리 맵핑(memory mapping)과 어드레싱(addressing)을 거치게 된다.

<120> 메모리 맵핑/어드레싱 블록(memory mapping/addressing block)은 입력되는 종렬 시퀀스를 프레임 단위로 저장하고 있다가, 식 11에서 보인 바와 같은 프레임 동기 워드들간의 상호관계를 이용하여 각 종렬 시퀀스들을 쉬프트 및 리버싱(reversing)한 후 출력한다. 여기서 입력되어 프레임 단위로 저장되는 종렬 시퀀스를 다음 식 13에 나타내었으며, 이 때 각 종렬 시퀀스들의 인덱스 (i, j) 가 메모리 번지를 나타낸다.

$$<121> \text{【수학식 13】 } \hat{C}_1 = (\hat{c}_{1,0}, \hat{c}_{1,1}, \dots, \hat{c}_{1,14})$$

$$<122> \hat{C}_2 = (\hat{c}_{2,0}, \hat{c}_{2,1}, \dots, \hat{c}_{2,14})$$

$$<123> \hat{C}_3 = (\hat{c}_{3,0}, \hat{c}_{3,1}, \dots, \hat{c}_{3,14})$$

$$<124> \hat{C}_4 = (\hat{c}_{4,0}, \hat{c}_{4,1}, \dots, \hat{c}_{4,14})$$

<125> 상기한 식 13의 각 종렬 시퀀스는 메모리 맵핑/어드레싱 블록에 의해 쉬프트 및 리버싱(reversing)된 후 출력되며, 각 출력들은 합산된 후 다음 식 14와 같은 결과(S1)를 상관기에 제공한다.

$$<126> \text{【수학식 14】 } S1 = \hat{c}_{1,(j+r)(\bmod 15)} - \hat{c}_{2,(j+r+7)(\bmod 15)} + \hat{c}_{3,(-j-r+5)(\bmod 15)}$$

<127>

$$C \equiv 4.(-j - r + 12) \pmod{15}$$

<128> 결국 상관기는 미리 저장되어 있던 코드 시퀀스 C1과 상기한 식 14의 결과(S1)를 상관시킴으로써 프레임 동기를 검출한다. 이 때의 상관 결과는 상기에서 이미 설명한 도 2a와 같으며, 이 상관 결과들을 관찰함으로써 프레임 동기를 검출할 때 단일 체크(single check)가 가능하다.

<129> 다음은 하향 링크 채널에 대한 상관 처리 장치의 구성 및 동작을 설명한다.

<130> 도 4는 본 발명에 따른 하향 링크 채널에 대한 상관 처리 장치의 구성을 나타낸 도면으로, 프레임 동기 검출시 도 3의 장치 구성과 같이 슬롯당 단일 체크가 가능한 장치 구성이다.

<131> 도 4에 도시된 상관 처리 장치는 심볼 레이트가 256, 512, 1024ksps($N_{\text{pilot}}=16$)인 경우를 나타낸 것으로, 프레임 동기 검출을 위해 입력되는 코드 시퀀스가 8개이다. 다시 말하자면 $a=8$ 인 경우이므로 표 1의 코드 시퀀스 중 C1~C8을 사용한다.

<132> 이는 상기 표 5에서 첫 번째, 세 번째, 다섯 번째 및 일곱 번째 파일럿 심볼(심볼#1, 심볼#3, 심볼#5, 심볼#7)의 각 I채널 지류 또는 각 Q채널 지류와 맵핑되는 종렬 시퀀스 C1,C2,C3,C4,C5,C6,C7,C8을 사용한다는 것이다.

<133> 따라서 앞에서 기술한 식 9를 변형 없이 그대로 사용하며, 식 9와 같이 표현될 수 있는 프레임 동기 워드의 특성을 이용한다. 따라서 도 4에 도시된 바와 같이 한 개의 상관기로도 프레임 동기 검출을 위한 장치가 구현된다.

<134> 도 4에 도시된 장치로는 하향 링크 전용 물리 제어 채널(DPCCH)의 한 프레임 단위의 신호가 수신되며, 표 5의 파일럿 패턴에서 심볼#1, 심볼#3, 심볼#5 및 심볼#7의 복조된 종렬 시퀀스들이 각 슬롯별로 입력된다.

<135> 입력되는 8개의 종렬 시퀀스는 메모리 맵핑/어드레싱 블록을 거쳐 쉬프트 및 리버싱 (reversing) 된다.

<136> 메모리 맵핑/어드레싱 블록(memory mapping/addressing block)은 입력되는 종렬 시퀀스를 프레임 단위로 저장하고 있다가, 식 11에서 보인 바와 같은 프레임 동기 워드들간의 상호 관계를 이용하여 종렬 시퀀스들을 쉬프트 및 리버싱한 후 출력한다. 여기서 입력되어 프레임 단위로 저장되는 종렬 시퀀스를 다음 식 15에 나타내었으며, 이 때 각 종렬 시퀀스들의 인덱스 (i, j) 가 메모리 번지를 나타낸다.

$$<137> \text{【수학식 15】 } \hat{C}_1 = (\hat{C}_{1,0}, \hat{C}_{1,1}, \dots, \hat{C}_{1,14})$$

$$<138> \hat{C}_2 = (\hat{C}_{2,0}, \hat{C}_{2,1}, \dots, \hat{C}_{2,14})$$

$$<139> \hat{C}_3 = (\hat{C}_{3,0}, \hat{C}_{3,1}, \dots, \hat{C}_{3,14})$$

$$<140> \hat{C}_4 = (\hat{C}_{4,0}, \hat{C}_{4,1}, \dots, \hat{C}_{4,14})$$

$$<141> \hat{C}_5 = (\hat{C}_{5,0}, \hat{C}_{5,1}, \dots, \hat{C}_{5,14})$$

$$<142> \hat{C}_6 = (\hat{C}_{6,0}, \hat{C}_{6,1}, \dots, \hat{C}_{6,14})$$

$$<143> \hat{C}_7 = (\hat{C}_{7,0}, \hat{C}_{7,1}, \dots, \hat{C}_{7,14})$$

$$<144> \hat{C}_8 = (\hat{C}_{8,0}, \hat{C}_{8,1}, \dots, \hat{C}_{8,14})$$

<145> 상기한 식 15의 각 종렬 시퀀스는 메모리 맵핑/어드레싱 블록에 의해 쉬프트 및 리버싱 된 후 출력되며, 각 출력들은 합산된 후 다음 식 16과 같은 결과(S2)를 상관기에 제공한다.

<146>

$$\text{【수학식 16】 } S2 = \hat{C}_{1,(j+r)(\bmod 15)} - \hat{C}_{2,(j+r+7)(\bmod 15)} + \hat{C}_{3,(j-r+5)(\bmod 15)}$$

<147>

$$- \hat{C}_{4,(j-r+12)(\bmod 15)} + \hat{C}_{5,(j+r+10)(\bmod 15)} - \hat{C}_{6,(j+r+2)(\bmod 15)}$$

<148>

$$+ \hat{C}_{7,(j-r)(\bmod 15)} - \hat{C}_{8,(j-r+7)(\bmod 15)}$$

<149> 결국 상관기는 미리 저장되어 있던 코드 시퀀스 C1과 상기한 식 16의 결과(S2)를 상관시킴으로써 프레임 동기를 검출한다. 이 때의 상관 결과는 도 5와 같으며, 이 상관 결과들을 관찰함으로써 프레임 동기를 검출할 때 단일 체크(single check)가 가능하다.

<150> 지금까지 설명된 상향 링크 및 하향 링크 채널에 대한 상관 처리 장치에서는, 각 코드 시퀀스들을 각각의 시퀀스별로 특정 시간 지연 및 상향/하향 순서(ordering)를 달리하여 더한다. 이러한 코드 시퀀스 합산시에는 각 시퀀스별로 겪게 되는 채널 특성이 다양해지기 때문에 시간 다이버시티 효과가 있다.

<151> 여기서 저장되는 코드 시퀀스 크기가 두 프레임보다 작은 경우에는 상관 처리시에 각 시퀀스별로 시퀀스의 연속성이 끊어질 수 있으나, 이러한 시퀀스의 불연속성이 또 다른 시간 다이버시티 효과를 줄 수 있다.

<152> 따라서, 합산되는 코드 시퀀스의 개수는 2개 또는 그 이상이 될 수 있으며, 같은 방향(상향 또는 하향) 순서의 코드 시퀀스끼리 조합되는 경우에는 코드 시퀀스가 저장되는 메모리 크기를 줄일 수 있다. 그러나 다른 방향 순서의 코드 시퀀스끼리 조합되는 경우에는 시퀀스의 불연속성에 따른 시간 다이버시티 효과를 얻을 수 있다.

<153> 또한 시간 지연이 비슷한 코드 시퀀스끼리 조합하면 메모리 크기를 줄일 수 있고, 시간 지연차가 큰 코드 시퀀스끼리 조합하면 시간 다이버시티 효과를 얻을 수 있다.

【발명의 효과】

- <154> 이상에서 설명한 바와 같이 본 발명의 최적의 파일럿 패턴을 이용한 프레임 동기 장치 및 방법에 따르면, 사용되는 코드 시퀀스 개수만큼의 상관기가 필요 없고 상향 링크 또는 하향 링크에서 하나씩의 상관기만을 사용하므로, 수신측에서 프레임 동기를 위한 하드웨어가 간단해 진다.
- <155> 또한, 하드웨어 감소에 따른 소프트웨어 추가가 많지 않으므로, 프레임 동기를 검출하는 데 복잡도의 증가가 없다.

【특허청구범위】**【청구항 1】**

상향 링크 및 하향 링크 채널에 대한 프레임 동기를 검출함에 있어서,
각 슬롯별로 복조되어 입력되는 종렬 시퀀스들을 프레임 단위로 저장하는 단계와,
상기 종렬 시퀀스들간의 상호 관계로부터 도출되는 패턴 특성을 이용하여 상기 저장된
여러 종렬 시퀀스들을 각각 연관되는 패턴 특성에 따라 변환하는 단계와,
상기 변환된 각 슬롯별 종렬 시퀀스를 합산하는 단계와,
상기 합산 결과를 미리 지정되어 있던 하나의 코드열과 상관 처리하는 단계로 이루어지
는 것을 특징으로 하는 최적의 파일럿 패턴을 이용한 프레임 동기 방법.

【청구항 2】

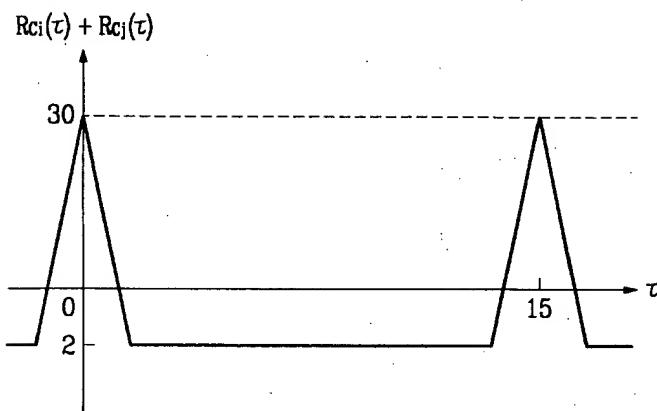
제 1 항에 있어서, 상기 변환 단계는,
하나의 종렬 시퀀스가 쉬프트, 리버싱(reversing) 및 인버젼(inversion)되어 나머지 종
렬 시퀀스들이 생성되는 패턴 특성에 따라 각각 해당 변환 규칙으로 변환되는 것을 특징으로
하는 최적의 파일럿 패턴을 이용한 프레임 동기 방법.

【청구항 3】

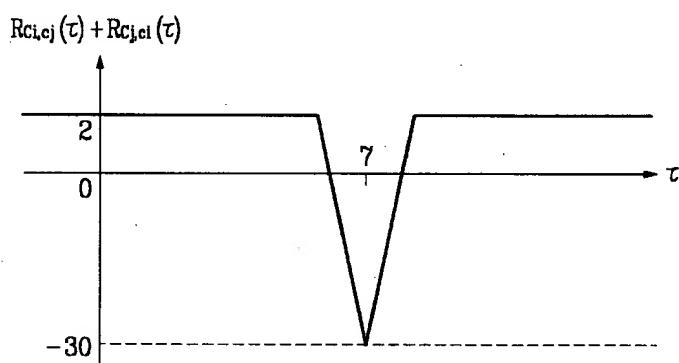
각 슬롯별로 입력되는 복조된 종렬 시퀀스들을 정해진 패턴 특성에 따라 변환하는 메모
리 맵핑/어드레싱 블록과,
상기 메모리 맵핑/어드레싱 블록에서 변환된 출력을 합산하는 합산기와,
상기 합산부의 합산값을 미리 지정된 코드 시퀀스와 상관 처리하는 상관기를 포함하여
구성되는 것을 특징으로 하는 최적의 파일럿 패턴을 이용한 프레임 동기 장치.

【도면】

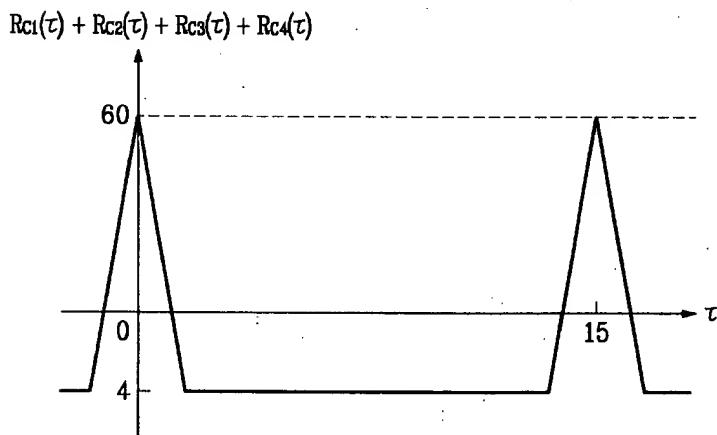
【도 1a】



【도 1b】

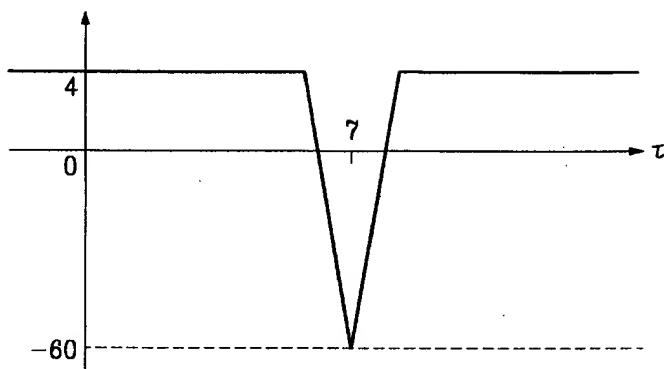


【도 2a】

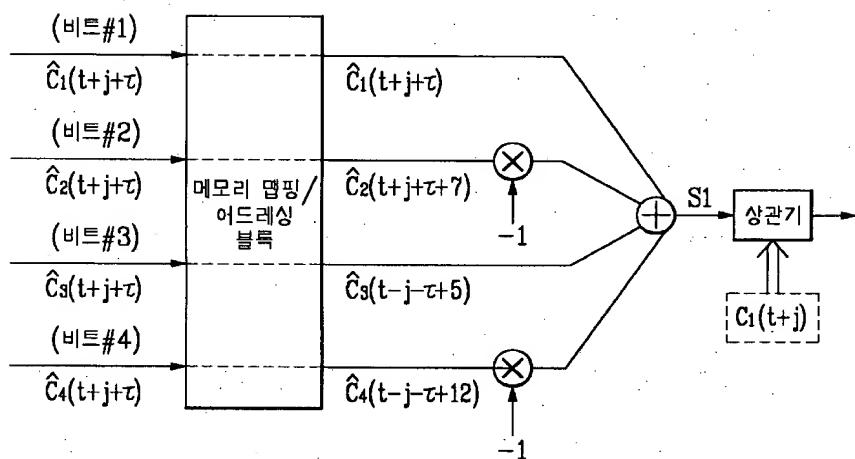


【도 2b】

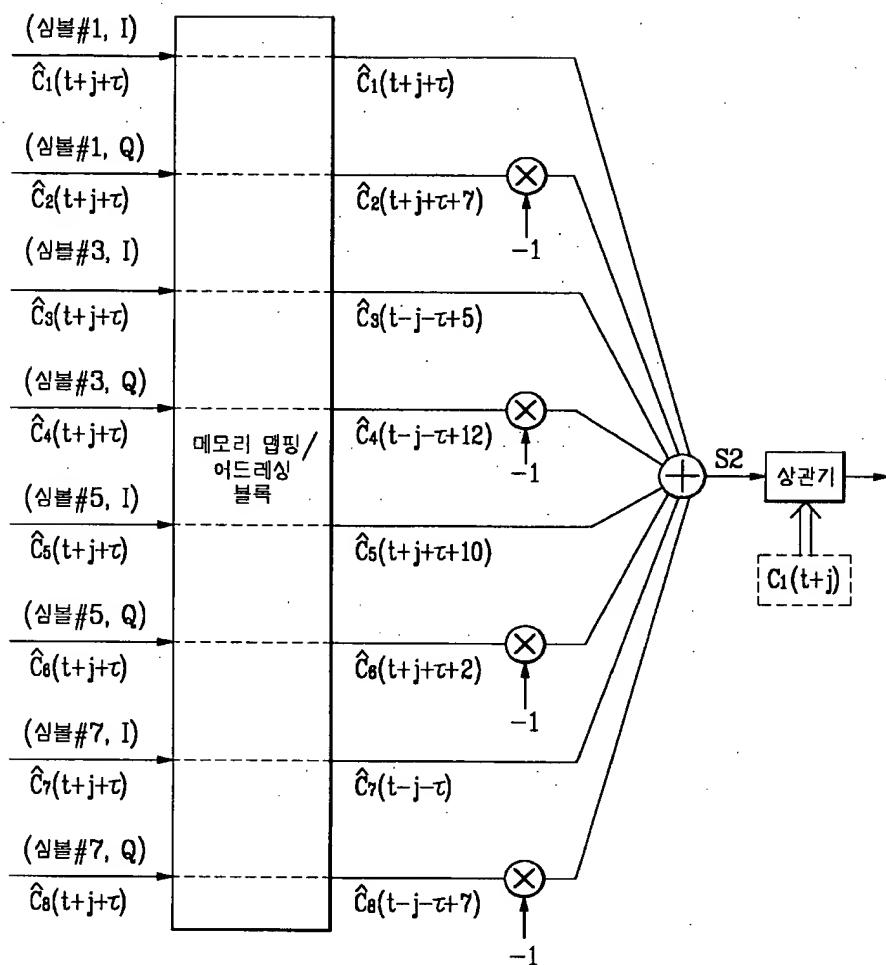
$$Rc1c2(\tau) + Rc2c1(\tau+1) + Rc3c4(\tau) + Rc4c3(\tau+1)$$



【도 3】



【도 4】



【도 5】

